

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Kenji ABE et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: July 31, 2003

Examiner: Unassigned

For: APPARATUS AND METHOD FOR CALCULATING SIMULATION COVERAGE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicants submit herewith a certified copy of the following foreign application:

Patent Application No. JP 2002-225523

Filed: August 2, 2002

It is respectfully requested that the applicants be given the benefit of the foreign filing date as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: 7/31/03

By: 

William F. Herbert  
Registration No. 31,024

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月 2日

出願番号

Application Number:

特願2002-225523

[ST.10/C]:

[JP2002-225523]

出願人

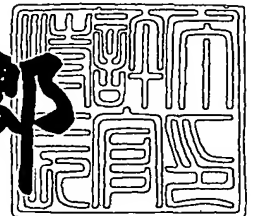
Applicant(s):

富士通株式会社

2003年 1月21日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3000405

【書類名】 特許願

【整理番号】 0240287

【提出日】 平成14年 8月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明の名称】 シミュレーション用カバレッジ算出装置及びシミュレーション用カバレッジ算出方法

【請求項の数】 4

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 安倍 健志

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 磯部 秀樹

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100092152

    【弁理士】

    【氏名又は名称】 服部 毅巖

    【電話番号】 0426-45-6644

【手数料の表示】

    【予納台帳番号】 009874

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シミュレーション用カバレッジ算出装置及びシミュレーション用カバレッジ算出方法

【特許請求の範囲】

【請求項 1】 論理回路シミュレーションのカバレッジを算出するシミュレーション用カバレッジ算出装置において、

検証する前記論理回路の有効なテストパターンを表現したプロパティを取り込む第 1 の入力部と、

前記プロパティをもとに、前記有効なテストパターンを算出する有効テストパターン算出部と、

検証者から入力され実行されたテストパターンを取り込む第 2 の入力部と、

前記有効なテストパターンと一致する前記テストパターンの割合からカバレッジ率を算出するカバレッジ率算出部と、

算出された前記カバレッジ率を出力する出力部と、

を有することを特徴とするシミュレーション用カバレッジ算出装置。

【請求項 2】 前記プロパティは、信号の組み合わせまたは時刻情報を用いて前記有効なテストパターンを表現することを特徴とする請求項 1 記載のシミュレーション用カバレッジ算出装置。

【請求項 3】 コンピュータで論理回路シミュレーションのカバレッジを算出するシミュレーション用カバレッジ算出方法において、

検証する前記論理回路の有効なテストパターンを表現したプロパティを取り込み、

前記プロパティをもとに、前記有効なテストパターンを算出し、

検証者より入力され実行されたテストパターンを取り込み、

前記有効なテストパターンと一致する前記テストパターンの割合からカバレッジ率を算出することを特徴とするシミュレーション用カバレッジ算出方法。

【請求項 4】 前記プロパティは、信号の組み合わせまたは時刻情報を用いて前記有効なテストパターンを表現することを特徴とする請求項 3 記載のシミュレーション用カバレッジ算出方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、シミュレーション用のカバレッジを算出するシミュレーション用カバレッジ算出装置及びシミュレーション用カバレッジ算出方法に関し、特に、コンピュータで論理回路シミュレーション用のカバレッジを算出するシミュレーション用カバレッジ算出装置及び、シミュレーション用カバレッジ算出方法に関する。

【0 0 0 2】

【従来の技術】

近年のシステム L S I (Large Scale Integrated circuit) は、高機能かつ論理規模も大きく、その設計検証もますます長大化している。設計検証において、どこまで検証すれば十分かと言う指標として、カバレッジが用いられている。

【0 0 0 3】

基本的なカバレッジ算出方法は、ハードウェア記述言語 (Hardware Description Language : 以下 H D L と呼ぶ) の全記述行のうち、シミュレーションで何行実行されたかで決まる。このカバレッジをラインカバレッジと呼ぶ。

【0 0 0 4】

【発明が解決しようとする課題】

しかし、従来の検証方法であるラインカバレッジでは、いつの時点でその行が実行されたかという時間的な概念がないために、たとえラインカバレッジ率が 1 0 0 % であったとしても有効な検証をしたとは限らないという問題があった。

【0 0 0 5】

以下、この問題について具体的に説明する。

図 7 は、H D L 記述の例である。

また、図 8 は、図 7 で示した H D L 記述による回路図である。

【0 0 0 6】

ここで、H D L 記述のブロック A が図 8 の回路 5 0、ブロック B が回路 5 1、ブロック C が回路 5 2 に対応し、それぞれ例えば、フリップフロップから構成さ

れる。

#### 【0007】

以下、図8の回路を検証する場合を例にして説明する。

ここで、P、Q、EN、OUT、a、bはいずれも信号名である。

ブロックA、B、Cはいずれも、「always @(posedge CLK) begin」の記述があり、図示しないクロック信号の立ち上がりで動作する。ブロックAで記載された回路50は、 $P=1$ であれば $a=a_1$ を出力し、そうでなければ $a=a_2$ を出力する。ブロックBで記載された回路51は、 $Q=1$ であれば $b=b_1$ を出力し、そうでなければ $b=b_2$ を出力する。またブロックCで記載された回路52は、 $EN=1$ であれば $OUT=a \& b$ を出力し、そうでなければ $OUT=0$ を出力する。

#### 【0008】

図9は、図8で示した論理回路の動作を検証する上での有効なテストパターンである。

図8で示した論理回路の場合、有効なテストパターンは4つある。パターン①、パターン②、パターン③、パターン④である。ここで、「-」は0でも1でもよいことを示す。

#### 【0009】

ここで、ユーザにより、以下のようなテストパターンが入力された場合について説明する。

図10は、ユーザにより入力されたテストパターンの例を示す。

#### 【0010】

ユーザにより、テストパターンであるパターン $\alpha$ 、 $\beta$ が入力されて実行された場合、パターン $\alpha$ は、図7における行、(1)、(2)、(3)、(4)、(6)をカバーし、パターン $\beta$ は、(1)、(2)、(3)、(4)、(5)、(6)をカバーし、全てのラインがカバーされることとなる。その結果、図9における有効なテストパターンに相当するものが、パターン $\beta$ のみにも関わらず、ラインカバレッジ率は100%となってしまう、十分な検証を行ったとはいえない。

#### 【0011】

本発明はこのような点に鑑みてなされたものであり、十分に検証を行うことが可能なカバレッジを算出するシミュレーション用カバレッジ算出装置を提供することを目的とする。

【0012】

また、本発明の他の目的は、十分に検証を行うことが可能なカバレッジを算出するシミュレーション用カバレッジ算出方法を提供することである。

【0013】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1で示すようなシミュレーション用カバレッジ算出装置10において、検証する論理回路の有効なテストパターンを表現したプロパティを取り込む入力部11と、プロパティをもとに、有効なテストパターンを算出する有効テストパターン算出部12と、検証者から入力され実行されたテストパターンを取り込む入力部13と、有効なテストパターンと一致するテストパターンの割合からカバレッジ率を算出するカバレッジ率算出部14と、算出されたカバレッジ率を出力する出力部15と、を有することを特徴とするシミュレーション用カバレッジ算出装置が提供される。

【0014】

上記構成によれば、カバレッジ率は、検証する論理回路の有効なテストパターンを表現したプロパティをもとに有効テストパターン算出部12で算出された有効なテストパターンと一致する、検証者により入力されたテストパターンの割合から、カバレッジ率算出部14で算出され、出力部15で出力される。

【0015】

【発明の実施の形態】

以下本発明の実施の形態を図面を参照して説明する。

図1は、本発明の実施の形態のシミュレーション用カバレッジ算出装置の機能ブロック図である。

【0016】

シミュレーション用カバレッジ算出装置10は、検証する論理回路の有効なテストパターンを表現したプロパティを取り込む入力部11と、プロパティをもと



に、有効なテストパターンを算出する有効テストパターン算出部 1 2 と、検証者（以下ユーザと呼ぶ）から入力され実行されたテストパターンを取り込む入力部 1 3 と、有効なテストパターンと一致するテストパターンの割合からカバレッジ率を算出するカバレッジ率算出部 1 4 と、算出された前記カバレッジ率を出力する出力部 1 5 と、から構成される。

【0 0 1 7】

入力部 1 1 は、例えば、検証する論理回路の設計者から提供される、その論理回路の有効なテストパターンを表現したプロパティを取り込む。

有効なテストパターンとは、論理回路の全動作パターンのうち、これだけ行えば検証は十分である、というテストパターンである。詳細は後述するが、通常、この有効なテストパターンは、論理回路を設計した人間である設計者などは知ることができるが、第 3 者である論理回路を検証するユーザなどが知ることは困難である。そこで、例えば設計者は、有効なテストパターンを表現したものをプロパティとして提供する。

【0 0 1 8】

このようなプロパティ提供者は、例えば、図 8 で示したような回路の場合、有効なテストパターンは前述した図 9 のようになり、これを式で表現する。式は以下のように表現される。

【0 0 1 9】

【数 1】

$$[(P, Q)] [EN == 1] \dots (1)$$

上式において、 $(P, Q)$  は、 $P$ 、 $Q$  の組み合わせを意味する。 $EN == 1$  は、 $EN$  が 1 であることを意味する。 $[]$  は、1 サイクルごとに区切っていることを意味する。すなわち、前半の  $[(P, Q)]$  は時刻  $t$ 、後半の  $[EN == 1]$  は時刻  $t + 1$  を示す。また、 $[]$  内に表記されない信号は、信号値が何でもよいことを意味する。

【0 0 2 0】

有効テストパターン算出部 1 2 は、論理シミュレーションを行う論理回路に対応したプロパティをもとに論理回路の有効なテストパターンを算出する。

入力部 1 3 は、論理回路をシミュレーションするユーザにより入力され実行されたテストパターンを取り込む。

【 0 0 2 1 】

カバレッジ率算出部 1 4 は、有効テストパターン算出部 1 2 で算出された有効なテストパターンに、ユーザにより入力され実行されたテストパターンがどれだけ一致するかを検出して、有効なテストパターンにおけるテストパターンの割合からカバレッジ率を算出する。

【 0 0 2 2 】

出力部 1 5 は、カバレッジ率算出部 1 4 で算出されたカバレッジ率を表示装置 2 0 などに出力する機能を持つ。

以下、シミュレーション用カバレッジ算出装置 1 0 の動作を説明する。

【 0 0 2 3 】

なお、以下、図 8 で示した回路について、カバレッジを算出する場合を例にして説明する。

例えば、設計者などのプロパティ提供者より、入力部 1 1 に図 8 で示した論理回路についての有効なテストパターンを表現した前述の ( 1 ) 式で表されるプロパティが取り込まれると、有効テストパターン算出部 1 2 は、プロパティをもとに、図 9 で示したような、有効なテストパターンを算出する。

【 0 0 2 4 】

一方、図 8 の論理回路をシミュレーションするユーザにより入力され実行されたテストパターンが、入力部 1 3 に取り込まれると、カバレッジ率算出部 1 4 に入力されて、カバレッジ率が算出される。カバレッジの算出は、図 9 で示した、有効なテストパターンに、テストパターンがどれだけ一致するかを検出して、有効なテストパターンにおけるテストパターンの割合からカバレッジ率を算出する。

【 0 0 2 5 】

例えば、図 1 0 で示した、テストパターンが入力された場合、従来のラインカバレッジでは、カバレッジ率 1 0 0 % を示したが、本発明の実施の形態のシミュレーション用カバレッジ算出装置 1 0 により算出されるカバレッジは、パターン

$\beta$  のみが、有効なテストパターンであるパターン④に対応することから、カバレッジ率 25% となる。

【0026】

この算出結果を出力部 15 では、表示装置 20 に出力する。

ここで、表示される結果を見て、ユーザは有効なテストパターンが足りないことを認識し、テストパターンの追加を行う。

【0027】

図 2 は、ユーザにより入力されるテストパターンの例である。

これは図 10 で示したパターン  $\alpha$ 、 $\beta$  に、パターン  $\gamma$ 、 $\delta$ 、 $\varepsilon$ 、を追加したものである。この場合、パターン  $\beta$  は図 9 の有効なテストパターンであるパターン④に対応し、パターン  $\gamma$  はパターン①に対応し、パターン  $\delta$  はパターン②に対応し、テストパターン  $\varepsilon$  はパターン③に対応する。よって、カバレッジ率算出部 14 でカバレッジ率 100% と算出され出力部 15 により表示装置 20 に、カバレッジ率が 100% となり検証が十分に行われたことを表示する。

【0028】

このように、入力部 11 で入力された論理回路の有効なテストパターンを信号の組み合わせと時刻情報とを用いて表現したプロパティをもとに、有効テストパターン算出部 12 により検証する論理回路の有効なテストパターンを算出し、カバレッジ率算出部 14 により有効なテストパターンと一致するユーザにより入力され実行されたテストパターンの割合からカバレッジ率を算出するようにしたので、十分な検証を行うことができる。

【0029】

以下、シミュレーション用カバレッジ算出装置 10 によるシミュレーション用カバレッジ算出方法をフローチャートで説明する。

図 3 は、シミュレーション用カバレッジ算出方法を示すフローチャートである。

【0030】

S1：プロパティの取り込み

検証する論理回路の有効なテストパターンを表現したプロパティを入力部 11

で取り込む。

【 0 0 3 1 】

S 2 : 有効なテストパターンの算出

取り込んだプロパティをもとに、有効なテストパターンを有効テストパターン算出部 1 2 で算出する。

【 0 0 3 2 】

S 3 : テストパターンの取り込み

ユーザにより入力され実行されたテストパターンを入力部 1 3 で取り込む。

S 4 : カバレッジ率の算出

有効なテストパターンと一致するテストパターンの割合からカバレッジ率算出部 1 4 でカバレッジ率を算出する

このように、論理回路の有効なテストパターンを信号の組み合わせと時刻情報とを用いて、例えば、(1) 式のように表現したプロパティを入力し、このプロパティをもとに検証する論理回路の有効なテストパターンを算出し、有効なテストパターンと一致するユーザにより入力され実行されたテストパターンの割合からカバレッジ率を算出するようにしたので、十分な検証を行うことができる。

【 0 0 3 3 】

以下、本発明の実施の形態の詳細を説明する。

図 4 はシミュレーション用カバレッジ算出装置のハードウェア構成図である。

シミュレーション用カバレッジ算出装置 3 0 は、例えば P C であり、装置全体を制御する C P U (Central Processing Unit) 3 1 と、 R O M (Read Only Memory) 3 2、 R A M (Random Access Memory) 3 3、などのメモリ類と、 H D D (Hard Disk Drive) 3 4 と、入力インターフェース 3 5 と、グラフィックインターフェース 3 6 がバス 3 7 に接続されている構成となる。

【 0 0 3 4 】

C P U 3 1 は、装置全体を制御する。また、 H D D 3 4 や R O M 3 2 に格納されているプログラムを実行する機能を持ち、図 1 の有効テストパターン算出部 1 2 及びカバレッジ率算出部 1 4 に対応する処理を行う。

【 0 0 3 5 】

ROM 3 2 は、HDD 3 4 の起動に必要なファームウェアなどを格納する。

RAM 3 3 は、CPU 3 1 に実行させる OS (Operation System) のプログラムやアプリケーションプログラムの少なくとも一部が一時的に格納される。

【0036】

HDD 3 4 は、OS や論理回路のシミュレーション用のプログラムや、本発明のシミュレーション用カバレッジ算出方法を行うためのプログラム及び、例えば、設計者などから提供される、論理回路の有効なテストパターンを表現したプロパティなどが格納される。

【0037】

入力インターフェース 3 5 には、マウス 3 5 a とキーボード 3 5 b とが接続されている。入力インターフェース 3 5 は、マウス 3 5 a やキーボード 3 5 b から送られてくる信号を、バス 3 7 を介して CPU 3 1 に送信する。これは、図 1 のシミュレーション用カバレッジ算出装置 1 0 の入力部 1 1、1 3 に対応する。

【0038】

グラフィックインターフェース 3 6 には、モニタ 3 6 a が接続されている。グラフィックインターフェース 3 6 は、CPU 3 1 からの命令に従って、画像をモニタ 3 6 a の画面に表示させる。これは、図 1 の出力部 1 5 に対応している。

【0039】

以下、シミュレーション用カバレッジ算出装置 3 0 の動作を説明する。

図 5 は、検証する論理回路の例である。

図 8 で示した論理回路が 2 つあり、それぞれの出力である OUT 1、OUT 2 が回路 4 6 に入力される構成である。

【0040】

これらの回路は、例えば、フリップフロップなどから構成される。

ここで、P、Q、R、S、EN 1、EN 2、OUT 1、OUT 2、OUT、a、b、c、d はいずれも信号名である。

【0041】

HDL 記述については省略するが、回路 4 0 は  $P = 1$  の場合に  $a = a_1$  を出力し、 $P = 0$  の場合に  $a = a_2$  を出力する。回路 4 1 は  $Q = 1$  の場合に  $b = b_1$  を

出力し、 $Q = 0$  の場合に  $b = b_2$  を出力する。回路 4 2 は  $R = 1$  の場合に  $c = c_1$  を出力し、 $R = 0$  の場合に  $c = c_2$  を出力する。回路 4 3 は  $S = 1$  の場合に  $d = d_1$  を出力し、 $S = 0$  の場合に  $d = d_2$  を出力する。回路 4 4 は  $EN_1 = 1$  の場合に  $OUT_1 = a \& b$  を出力し、 $EN_1 = 0$  の場合に  $OUT_1 = 0$  を出力する。回路 4 5 は  $EN_2 = 1$  の場合に  $OUT_2 = c \& d$  を出力し、 $EN_2 = 0$  の場合に  $OUT_2 = 0$  を出力する。回路 4 6 は、 $OUT = OUT_1 \& OUT_2$  を出力する。これらの回路は、図示しないクロック信号を入力し、その立ち上がりで動作する。

## 【0042】

図 6 は、図 5 で示した論理回路の有効なテストパターンであり、(a) が P、Q、R、S のパターンであり、(b) が  $EN_1$ 、 $EN_2$ 、(c) が  $OUT_1$ 、 $OUT_2$  のパターンである。

## 【0043】

ここで、「-」は 0 でも 1 でもよいことを示す。

図 6 で示すような有効なテストパターンは、通常、論理回路を設計した設計者によって整理される。その論理回路の設計者以外の第 3 者では、検証の際、入力以外の中間信号は、どのようなものがあるかなどを知ることは困難だからである。例えば、図 5 の論理回路において、入力を P、Q、R、S、 $EN_1$ 、 $EN_2$  としたとき、中間信号の  $OUT_1$ 、 $OUT_2$  の存在は分からないことが多く、中間信号を含めた有効なテストパターンの作成は困難だからである。一方で論理回路の設計者は、どのような信号があるか熟知していることから、有効なテストパターンを作成する役目を担うことが望ましい。そこで、以下有効なテストパターンを論理回路の設計者が作成するとして説明する。

## 【0044】

設計者は、整理した有効なテストパターンをもとに、プロパティを作成する。

図 6 で示した有効なテストパターンの場合、プロパティは、以下の式のようになる。

## 【0045】

【数 2】

[ ( P , Q , R , S ) ] [ E N 1 & E N 2 ] [ O U T 1 | O U T 2 ] … ( 2 )

上式において、始めの [ ] 内が時刻  $t$  を示し、その次の [ ] が時刻  $t + 1$ 、最後の [ ] が時刻  $t + 2$  を示す。[ ( P , Q , R , S ) ] は、P、Q、R、S の全ての組み合わせを示し図 6 ( a ) で示した通りである。また、[ E N 1 & E N 2 ] は、E N 1 と E N 2 の論理積を示し、[ O U T 1 | O U T 2 ] は O U T 1 と O U T 2 の論理和を示し、それぞれ、図 6 ( b )、図 6 ( c ) で示した有効なテストパターンを表現したものである。なお、[ ] 内に表記されない信号は、信号値が何でもよいことを意味する。設計者は、例えば、( 2 ) 式をキーボード 3 5 b またはマウス 3 5 a などによって、入力インターフェース 3 5 を介してシミュレーション用カバレッジ算出装置 3 0 に入力する。入力されたプロパティは C P U 3 1 の制御のもと、H D D 3 4 に入力されて格納される。

【 0 0 4 6 】

なお、プロパティは、C D - R O M ( Compact Disc Read Only Memory ) や、D V D - R O M ( DVD Read Only Memory ) などの記録媒体、または、インターネットなどのネットワークを介して、シミュレーション用カバレッジ算出装置 3 0 に入力するようにしても良い。

【 0 0 4 7 】

論理回路シミュレーションの際、ユーザは、マウス 3 5 a またはキーボード 3 5 b で、シミュレーションを開始したい旨の命令を入力する。入力インターフェース 3 5 は命令を受信し、C P U 3 1 の制御のもと、例えば、H D D 3 4 に格納されている論理回路シミュレータを起動させる。起動された論理回路シミュレータは、C P U 3 1 の制御のもとグラフィックインターフェース 3 6 で処理され、モニタ 3 6 a に出力され、さらに、例えば、図 5 で示したようなシミュレーション用の論理回路が表示される。ユーザは、この論理回路に、いくつかのテストパターンをマウス 3 5 a やキーボード 3 5 b などを入力し、C P U 3 1 の制御のもと動作をシミュレートする。ユーザはシミュレーション結果をモニタ 3 6 a 上で確認し、バグがないかなどを検証する。

【 0 0 4 8 】

さらに、以下のような方法でシミュレーションのカバレッジ率を算出する。

図 5 で示した論理回路を検証する場合、CPU 3 1 の制御のもと、HDD 3 4 に格納された図 5 の論理回路の有効なテストパターンが表現されたプロパティ（すなわち（2）式）を取り出し、論理回路の有効なテストパターンを算出する。これにより、図 6 で示したような、有効なテストパターンが得られる。これを例えば、一時、RAM 3 3 に格納する。ここで、ユーザにより入力され実行されたテストパターンを、CPU 3 1 の制御のもと有効なテストパターンと比較し、有効なテストパターンと一致するテストパターンの割合からカバレッジ率を算出する。

【0049】

より詳細に説明すると、ユーザが論理回路にテスト用のある信号を入力すると、例えばCPU 3 1 は、ユーザが知ることが困難な中間信号の値を含めた各部の信号の状態を監視し、その中間信号の値を含めたテストパターンと、有効なテストパターンとを比較してカバレッジ率を算出する。

【0050】

算出されたカバレッジ率は、グラフィックインターフェース 3 6 で処理され、モニタ 3 6 a に出力される。ユーザは、モニタ 3 6 a に表示されたカバレッジ率を参照して、カバレッジ率が低い場合は、さらにテストパターンを追加する。ユーザにより入力されたテストパターンが、有効なテストパターンと一致した場合に、カバレッジ率は 1 0 0 % となり、検証を終了する。

【0051】

このように、論理回路シミュレーションの前に、前もって検証する論理回路の有効なテストパターンを、（2）式のように信号の組み合わせ及び時刻情報を用いて表現したプロパティを入力し、ユーザから入力されたテストパターンがそのプロパティをもとに算出された有効なテストパターンと一致する割合からカバレッジ率を算出するようにしたので、十分な検証を行うことができる。

【0052】

【発明の効果】

以上説明したように本発明では、カバレッジ率を、検証する論理回路の有効なテストパターンを信号の組み合わせと時刻情報を用いて表現したプロパティをも



とに、有効なテストパターンと一致するテストパターンとの割合から算出するようにしたので、十分な検証を行うことができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態のシミュレーション用カバレッジ算出装置の機能ブロック図である。

【図 2】

ユーザにより入力されたテストパターンの例を示す。

【図 3】

シミュレーション用カバレッジ算出方法を示すフローチャートである。

【図 4】

シミュレーション用カバレッジ算出装置 3 0 のハードウェア構成図である。

【図 5】

検証する論理回路の例である。

【図 6】

図 5 で示した論理回路の有効なテストパターンであり、(a) が P、Q、R、S のパターンであり、(b) が EN 1、EN 2、(c) が OUT 1、OUT 2 のパターンである。

【図 7】

HDL 記述の例である。

【図 8】

図 7 で示した HDL 記述による回路図である。

【図 9】

図 8 で示した論理回路の動作を検証する上での有効なテストパターンである。

【図 1 0】

ユーザにより入力されたテストパターンの例を示す。

【符号の説明】

1 0 シミュレーション用カバレッジ算出装置

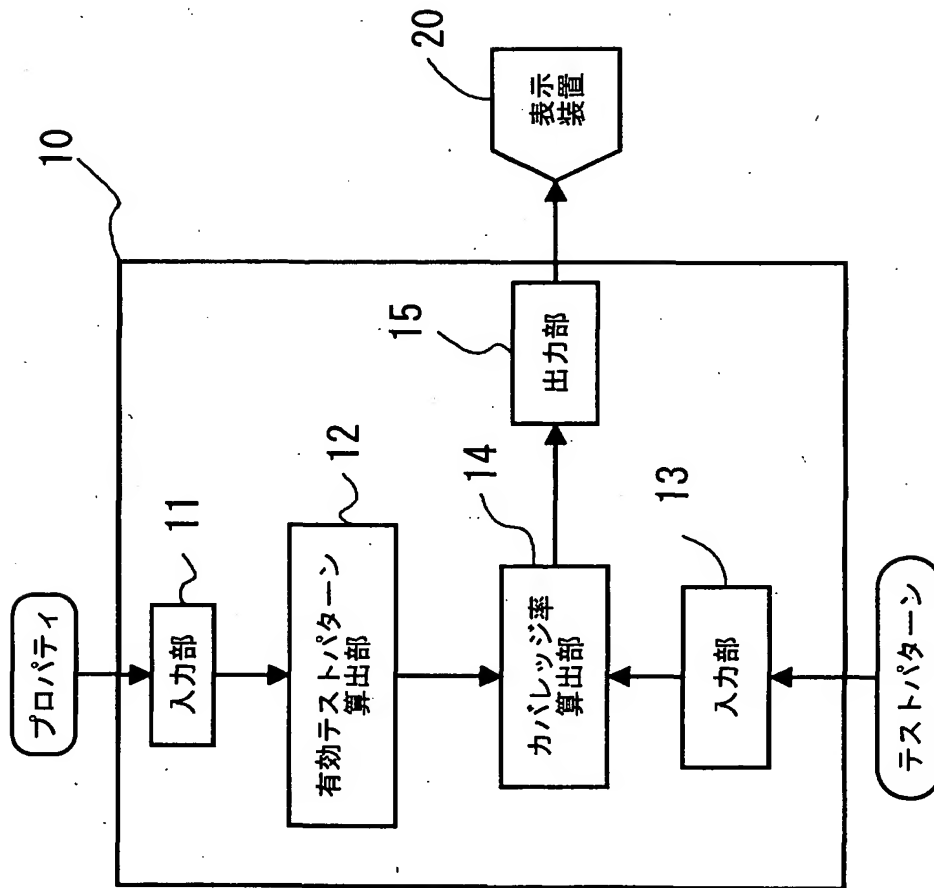
1 1 入力部

- 1 2 有効テストパターン算出部
- 1 3 入力部
- 1 4 カバレッジ率算出部
- 1 5 出力部
- 2 0 表示装置

【書類名】

図面

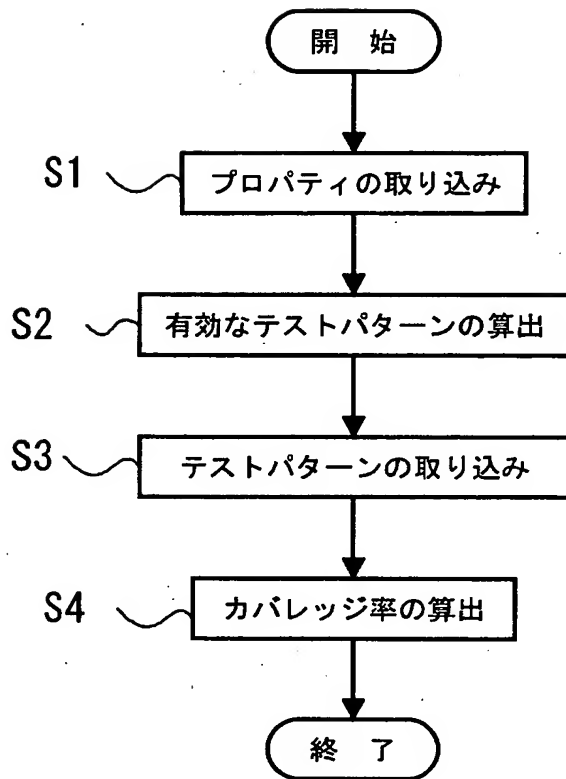
【図 1】



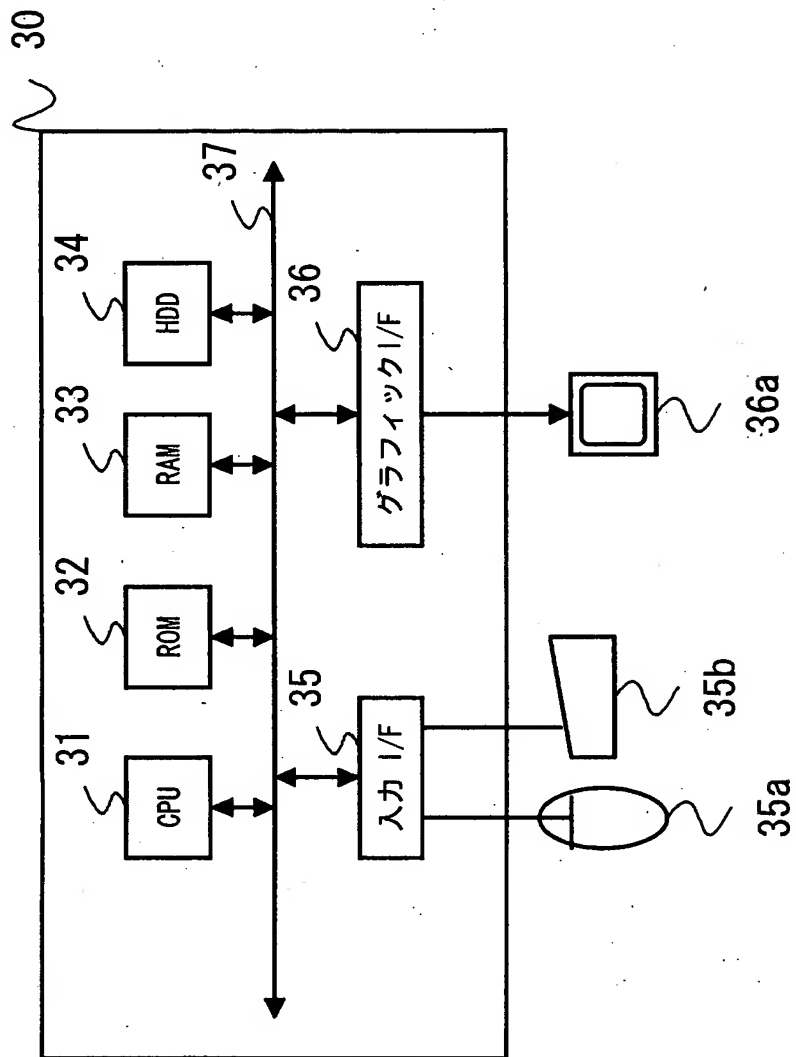
【図 2】

	t			t+1		
	P	Q	EN	P	Q	EN
パターンα	1	1	0	0	0	0
パターンβ	1	1	0	0	0	1
パターンγ	0	0	0	0	0	1
パターンδ	0	1	0	0	1	1
パターンε	1	0	0	1	0	1

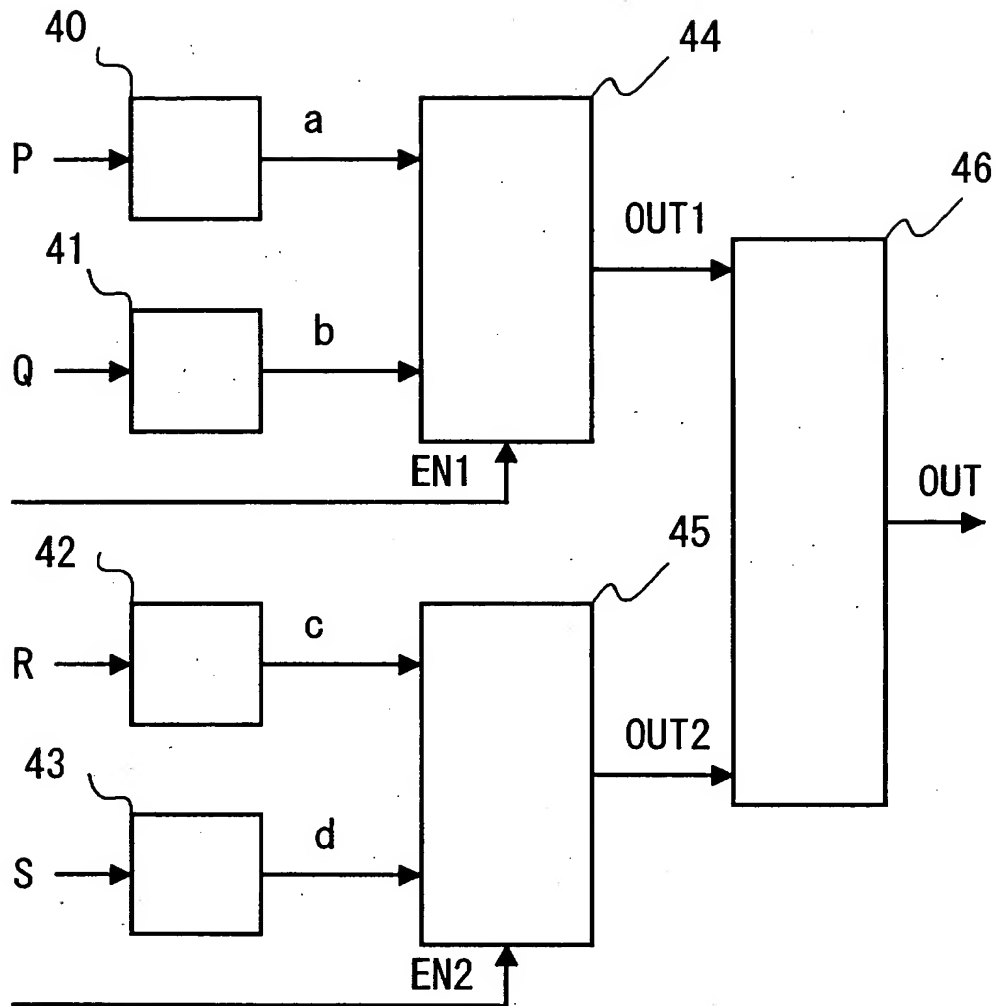
【図 3】



【図4】



【図 5】



【図 6】

(a)

	t				t+1				t+2			
	P	Q	R	S	P	Q	R	S	P	Q	R	S
パターン(1)	0	0	0	0	—	—	—	—	—	—	—	—
パターン(2)	0	0	0	1	—	—	—	—	—	—	—	—
パターン(3)	0	0	1	0	—	—	—	—	—	—	—	—
パターン(4)	0	0	1	1	—	—	—	—	—	—	—	—
パターン(5)	0	1	0	0	—	—	—	—	—	—	—	—
パターン(6)	0	1	0	1	—	—	—	—	—	—	—	—
パターン(7)	0	1	1	0	—	—	—	—	—	—	—	—
パターン(8)	0	1	1	1	—	—	—	—	—	—	—	—
パターン(9)	1	0	0	0	—	—	—	—	—	—	—	—
パターン(10)	1	0	0	1	—	—	—	—	—	—	—	—
パターン(11)	1	0	1	0	—	—	—	—	—	—	—	—
パターン(12)	1	0	1	1	—	—	—	—	—	—	—	—
パターン(13)	1	1	0	0	—	—	—	—	—	—	—	—
パターン(14)	1	1	0	1	—	—	—	—	—	—	—	—
パターン(15)	1	1	1	0	—	—	—	—	—	—	—	—
パターン(16)	1	1	1	1	—	—	—	—	—	—	—	—

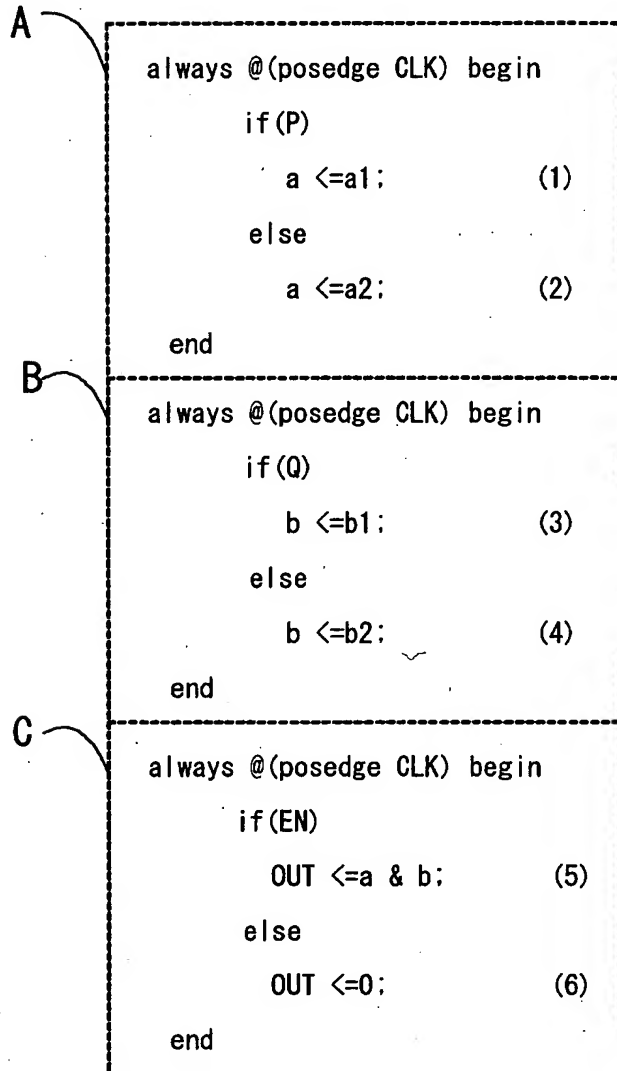
(b)

	t		t+1		t+2	
	EN1	EN2	EN1	EN2	EN1	EN2
パターン1	—	—	1	1	—	—

(c)

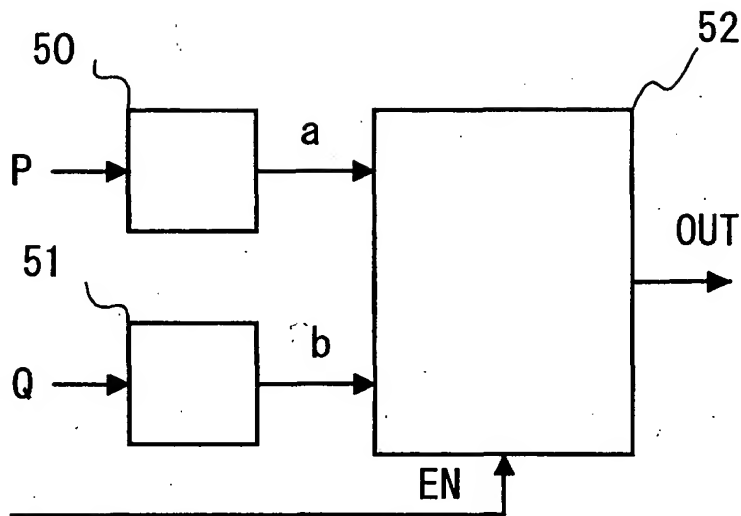
	t		t+1		t+2	
	OUT1	OUT2	OUT1	OUT2	OUT1	OUT2
パターン①	—	—	—	—	0	1
パターン②	—	—	—	—	1	0
パターン③	—	—	—	—	1	1

【図 7】





【図 8】



【図 9】

	t			t+1		
	P	Q	EN	P	Q	EN
パターン①	0	0	—	—	—	1
パターン②	0	1	—	—	—	1
パターン③	1	0	—	—	—	1
パターン④	1	1	—	—	—	1

【図 10】

	t			t+1		
	P	Q	EN	P	Q	EN
パターン $\alpha$	1	1	0	0	0	0
パターン $\beta$	1	1	0	0	0	1

【書類名】            要約書

【要約】

【課題】    十分な検証を行うためのカバレッジを算出する。

【解決手段】    入力部 1 1 により、検証する論理回路の有効なテストパターンを表現したプロパティを取り込み、有効テストパターン算出部 1 2 でプロパティをもとに有効なテストパターンを算出し、入力部 1 3 で検証者から入力され実行されたテストパターンを取り込み、カバレッジ率算出部 1 4 で有効なテストパターンと一致するテストパターンの割合からカバレッジ率を算出し、出力部 1 5 で算出されたカバレッジ率を出力する。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社